

**Family list**11 application(s) for: **JP11065487****1 Active matrix display****Inventor:** ICHIO YUDASAKA [JP]**EC:** H01L27/32M2**Publication info:** **CN1242855 (A)** — 2000-01-26  
**CN1146843 (C)** — 2004-04-21**Applicant:** SEIKO EPSON CORP [JP]**IPC:** *H05B33/22; G09F9/30; G09F9/33; (+16)***2 ACTIVE MATRIX DISPLAY****Inventor:** YUDASAKA ICHIO [JP]**EC:** H01L27/32M2**Publication info:** **DE69829357 (T2)** — 2005-07-28**Applicant:** SEIKO EPSON CORP [JP]**IPC:** *H05B33/22; G09F9/30; G09F9/33; (+17)***3 ACTIVE MATRIX DISPLAY****Inventor:** YUDASAKA ICHIO [JP]**EC:** H01L27/32M2**Publication info:** **EP0940796 (A1)** — 1999-09-08  
**EP0940796 (A4)** — 2002-08-21  
**EP0940796 (B1)** — 2005-03-16**Applicant:** SEIKO EPSON CORP [JP]**IPC:** *H05B33/22; G09F9/30; G09F9/33; (+16)***4 Active matrix device****Inventor:** YUDASAKA ICHIO [JP]**EC:** H01L27/32M8; H01L27/32M2**Publication info:** **EP1524696 (A2)** — 2005-04-20  
**EP1524696 (A3)** — 2005-08-10**Applicant:** SEIKO EPSON CORP [JP]**IPC:** *H01L27/32; H01L27/28; (IPC1-7): H01L27/00***5 ACTIVE MATRIX TYPE DISPLAY DEVICE****Inventor:** YUDASAKA KAZUO**EC:** H01L27/32M2**Publication info:** **JP11065487 (A)** — 1999-03-05  
**JP3580092 (B2)** — 2004-10-20**Applicant:** SEIKO EPSON CORP**IPC:** *H05B33/22; G09F9/30; G09F9/33; (+17)***6 Active matrix display****Inventor:** YUDASAKA ICHIO [JP]**EC:** H01L27/32M2**Publication info:** **TW430776 (B)** — 2001-04-21**Applicant:** SEIKO EPSON CORP [JP]**IPC:** *H05B33/22; G09F9/30; G09F9/33; (+14)***7 Active matrix display device****Inventor:** YUDASAKA ICHIO [JP]**EC:** H01L27/32M2**Publication info:** **US6373453 (B1)** — 2002-04-16**Applicant:** SEIKO EPSON CORP [JP]**IPC:** *H05B33/22; G09F9/30; G09F9/33; (+16)***8 Active matrix display device****Inventor:** YUDASAKA ICHIO [JP]**EC:** H01L27/32M2**Publication info:** **US2002075207 (A1)** — 2002-06-20**Applicant:** SEIKO EPSON CORP [JP]**IPC:** *H01L27/32; H01L51/00; H01L51/40; (+4)***9 Active matrix display device****Inventor:** YUDASAKA ICHIO [JP]**EC:** H01L27/32M2**Publication info:** **US2003206144 (A1)** — 2003-11-06**Applicant:** SEIKO EPSON CORP [JP]**IPC:** *H01L27/32; H01L51/00; H01L51/40; (+4)***10 Active matrix display device****Inventor:** YUDASAKA ICHIO [JP]**EC:** G09G3/32A8; H01L27/32M2B; (+1)**Publication info:** **US2008036699 (A1)** — 2008-02-14**Applicant:** SEIKO EPSON CORP [JP]**IPC:** *G09G3/20; G09G3/20***11 ACTIVE MATRIX DISPLAY**

**Inventor:** YUDASAKA ICHIO [JP]

**Applicant:** SEIKO EPSON CORP [JP] ;  
YUDASAKA ICHIO [JP]

**EC:** H01L27/32M2

**IPC:** *H05B33/22; G09F9/30; G09F9/33; (+16)*

**Publication info:** **WO9910861 (A1)** — 1999-03-04

---

Data supplied from the *esp@cenet* database — Worldwide

# ACTIVE MATRIX TYPE DISPLAY DEVICE

**Publication number:** JP11065487 (A)

**Publication date:** 1999-03-05

**Inventor(s):** YUDASAKA KAZUO

**Applicant(s):** SEIKO EPSON CORP

**Classification:**

- **International:** H05B33/22; G09F9/30; G09F9/33; H01L27/32; H01L51/50; H05B33/26; H01L51/00; H01L51/40; H05B33/22; G09F9/30; G09F9/33; H01L27/28; H01L51/50; H05B33/26; H01L51/00; H01L51/05; (IPC1-7): G09F9/33; G09F9/30; H05B33/22; H05B33/26

- **European:** H01L27/32M2

**Application number:** JP19970225433 19970821

**Priority number(s):** JP19970225433 19970821

**Also published as:**

JP3580092 (B2)

EP0940796 (A1)

EP0940796 (B1)

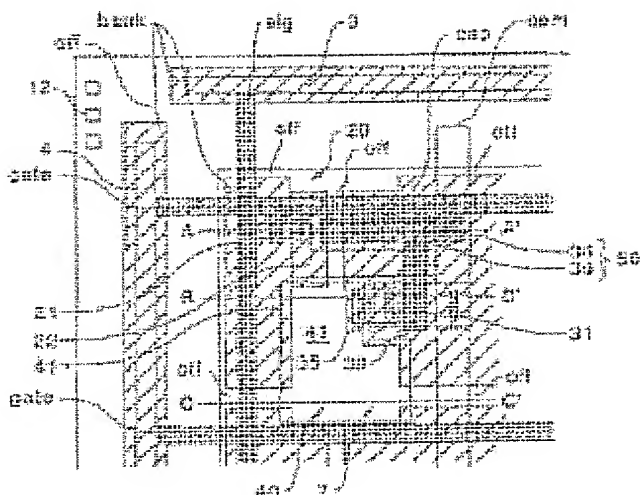
US6373453 (B1)

TW430776 (B)

more >>

## Abstract of JP 11065487 (A)

**PROBLEM TO BE SOLVED:** To prevent the occurrence of discontinuity or the like in opposing electrodes formed on the upper layer of a thick insulation film by providing a broken part connecting counter electrode parts to each other of each pixel to an insulation film formed at the lower layer side of the counter electrodes more thickly than an organic semiconductor film through a flat part having no step caused by the insulation film, forming a thick insulation film around the organic semiconductor film and suppressing parasitic capacity. **SOLUTION:** A thick insulation film (bank layer 'bank') is provided along a data line 'sig' a scanning line 'gate'. A broken part 'off' is formed on each end part in each extending direction of the data line 'sig' and the scanning line gate in this bank layer 'bank'. Thus, as a thick bank layer bank is interposed between them, the parasitic capacity of the data line 'sig' is extremely small. Moreover, as the thick bank layer 'bank' does not exist on the broken part 'off', it is a flat part having no step caused by the bank layer 'bank' and the counter electrodes formed on this part will not be disconnected.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-65487

(43) 公開日 平成11年(1999) 3月5日

(51) Int.Cl.<sup>8</sup>  
 G 0 9 F 9/33  
 9/30  
 H 0 5 B 33/22  
 33/26

識別記号  
 3 6 5

F I  
 G 0 9 F 9/33 K  
 9/30 3 6 5 D  
 H 0 5 B 33/22 Z  
 33/26 Z

審査請求 未請求 請求項の数12 O L (全 14 頁)

(21) 出願番号 特願平9-225433

(22) 出願日 平成9年(1997) 8月21日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 湯田坂 一夫

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

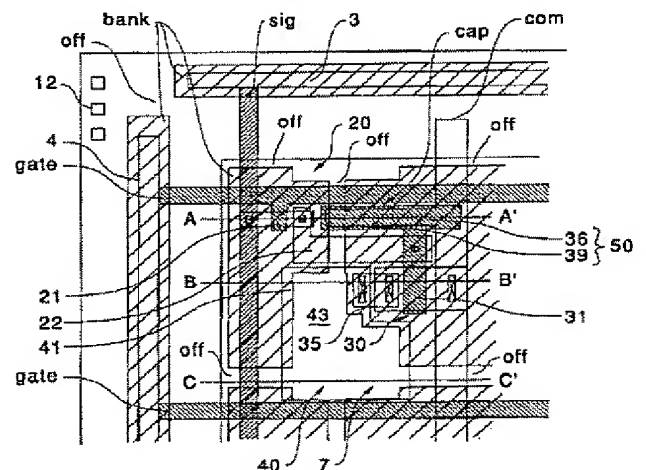
(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 アクティブマトリクス型表示装置

(57) 【要約】

【課題】 有機半導体膜の周りに厚い絶縁膜を形成して寄生容量などを抑え、かつ、絶縁膜の上層に形成する対向電極に断線などが発生しないアクティブマトリクス型表示装置を提供すること。

【解決手段】 アクティブマトリクス型表示装置1では、データ線sigに寄生する容量を抑えるために、データ線sigおよび走査線gateに沿ってレジスト膜からなるバンク層bankを設け、このバンク層bankの上層側に薄膜発光素子40の対向電極opを積層する。バンク層bankには途切れ部分offが形成され、そこはバンク層bankに起因する大きな段差のない平坦部分であるので、この部分では対向電極opの断線がない。有機半導体膜43をインクジェット法で形成する際にはインクジェットヘッドから吐出した液状の材料をバンク層bankでせき止める。



## 【特許請求の範囲】

【請求項 1】 基板上に、複数の走査線と、該走査線に交差する複数のデータ線と、該データ線と前記走査線とによってマトリクス状に形成された複数の画素からなる表示部とを有し、該画素の各々は、前記走査線を介して走査信号がゲート電極に供給される薄膜トランジスタを含む導通制御回路と、画素毎に形成された画素電極、該画素電極の上層側に積層された発光薄膜、および該発光薄膜の上層側に形成された対向電極を具備する薄膜発光素子とを備え、前記データ線から前記導通制御回路を介して供給される画像信号に基づいて前記発光薄膜が発光するアクティブマトリクス型表示装置において、前記発光薄膜の形成領域は、前記対向電極の下層側に前記発光薄膜よりも厚く形成された絶縁膜で区画されているとともに、該絶縁膜は、各画素毎の対向電極部分同士を当該絶縁膜に起因する段差のない平坦部分を介して接続させる途切れ部分を備えていることを特徴とするアクティブマトリクス型表示装置。

【請求項 2】 請求項 1 において、前記導通制御回路は、前記走査信号がゲート電極に供給される第 1 の薄膜トランジスタ、および該第 1 の薄膜トランジスタを介してゲート電極が前記データ線に接続する第 2 の薄膜トランジスタを備え、該第 2 の薄膜トランジスタと前記薄膜発光素子は、前記データ線および走査線とは別に構成された駆動電流供給用の共通給電線と前記対向電極との間に直列に接続していることを特徴とするアクティブマトリクス型表示装置。

【請求項 3】 請求項 1 または 2 において、前記絶縁膜は、当該絶縁膜で区画された領域内に前記発光薄膜をインクジェット法により形成する際に吐出液のはみ出しを防止するバンク層であることを特徴とするアクティブマトリクス型表示装置。

【請求項 4】 請求項 3 において、前記絶縁膜は、膜厚が  $1 \mu\text{m}$  以上であることを特徴とするアクティブマトリクス型表示装置。

【請求項 5】 請求項 1 ないし 4 のいずれかにおいて、前記絶縁膜は、前記データ線および前記走査線に沿って前記発光薄膜の形成領域の周りを囲むように形成されており、前記データ線および前記走査線の各延設方向で隣り合う画素の間に相当する部分に前記途切れ部分を備えていることを特徴とするアクティブマトリクス型表示装置。

【請求項 6】 請求項 1 ないし 4 のいずれかにおいて、前記絶縁膜は、前記データ線および前記走査線に沿って形成されていることにより前記発光薄膜の形成領域の周りを囲んでいるとともに、前記走査線の延設方向で隣り合う画素の間に相当する部分に前記途切れ部分を備えていることを特徴とするアクティブマトリクス型表示装

置。

【請求項 7】 請求項 1 ないし 4 のいずれかにおいて、前記絶縁膜は、前記データ線および前記走査線に沿って形成されていることにより前記発光薄膜の形成領域の周りを囲んでいるとともに、前記データ線の延設方向で隣り合う画素の間に相当する部分に前記途切れ部分を備えていることを特徴とするアクティブマトリクス型表示装置。

【請求項 8】 請求項 1 ないし 4 のいずれかにおいて、前記絶縁膜は、前記データ線に沿ってストライプ状に形成され、該形成方向の少なくとも一方の端部に前記途切れ部分を備えていることを特徴とするアクティブマトリクス型表示装置。

【請求項 9】 請求項 5 ないし 8 のいずれかにおいて、前記画素電極の形成領域のうち、前記導通制御回路の形成領域と重なる領域は前記絶縁膜で覆われていることを特徴とするアクティブマトリクス型表示装置。

【請求項 10】 請求項 1 ないし 9 のいずれかにおいて、前記表示部の周囲には、前記データ線を介してデータ信号を供給するデータ線駆動回路、および前記走査線を介して走査信号を供給する走査線駆動回路を有し、該走査線駆動回路および前記データ線側駆動回路の上層側にも前記絶縁膜が形成されているとともに、当該絶縁膜は、前記走査線駆動回路の形成領域と前記データ側駆動回路の形成領域との間に相当する位置には前記対向電極を前記表示部側と基板外周側とを当該絶縁膜に起因する段差のない平坦部分を介して接続させる途切れ部分を備えていることを特徴とするアクティブマトリクス型表示装置。

【請求項 11】 請求項 1 ないし 10 のいずれかにおいて、前記絶縁膜は、有機材料からなることを特徴とするアクティブマトリクス型表示装置。

【請求項 12】 請求項 1 ないし 10 のいずれかにおいて、前記絶縁膜は、無機材料からなることを特徴とするアクティブマトリクス型表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、有機半導体膜等の発光薄膜に駆動電流が流れることによって発光する EL（エレクトロルミネッセンス）素子または LED（発光ダイオード）素子などの薄膜発光素子を薄膜トランジスタ（以下、TFT という。）で駆動制御するアクティブマトリクス型表示装置に関するものである。

## 【0002】

【従来の技術】 EL 素子または LED 素子などの電流制御型発光素子を用いたアクティブマトリクス型の表示装置が提案されている。このタイプの表示装置に用いられる発光素子はいずれも自己発光するため、液晶表示装置と違ってバックライトを必要とせず、また、視野角依存性が少ないなどの利点もある。

【0003】図13は、このような電荷注入型の有機薄膜EL素子を用いたアクティブマトリクス型表示装置のブロック図を示してある。この図に示すアクティブマトリクス型表示装置1Aでは、透明基板10上に、複数の走査線gateと、該走査線gateの延設方向に対して交差する方向に延設された複数のデータ線sigと、該データ線sigに並列する複数の共通給電線comと、データ線sigと走査線gateとによってマトリクス状に形成された複数の画素7とが構成されている。データ線sigおよび走査線gateに対してはデータ線駆動回路3および走査線駆動回路4が構成されている。各々の画素7には、走査線gateを介して走査信号が供給される導通制御回路50と、この導通制御回路50を介してデータ線sigから供給される画像信号に基づいて発光する薄膜発光素子40とが構成されている。ここに示す例において、導通制御回路50は、走査線gateを介して走査信号がゲート電極に供給される第1のTFT20と、この第1のTFT20を介してデータ線sigから供給される画像信号を保持する保持容量capと、この保持容量capによって保持された画像信号がゲート電極に供給される第2のTFT30とから構成されている。第2のTFT30と薄膜発光素子40とは、詳しくは後述する対向電極opと共通給電線comとの間に直列に接続している。この薄膜発光素子40は、第2のTFT30がオン状態になったときには共通給電線comから駆動電流が流れ込んで発光するとともに、この発光状態は保持容量capによって所定の期間、保持される。

【0004】このような構成のアクティブマトリクス型表示装置1Aでは、図14および図15(A)、(B)に示すように、いずれの画素7においても、島状の半導体膜を利用して第1のTFT20および第2のTFT30が形成されている。第1のTFT20は、ゲート電極21が走査線gateの一部として構成されている。第1のTFT20は、ソース・ドレイン領域の一方に第1層間絶縁膜51のコンタクトホールを介してデータ線sigが電気的に接続し、他方にはドレイン電極22が電気的に接続している。ドレイン電極22は、第2のTFT30の形成領域に向けて延設されており、この延設部分には第2のTFT30のゲート電極31が第1の層間絶縁膜51のコンタクトホールを介して電気的に接続している。第2のTFT30のソース・ドレイン領域の一方には、第1の層間絶縁膜51のコンタクトホールを介して中継電極35が電気的に接続し、この中継電極35には第2の層間絶縁膜52のコンタクトホールを介して薄膜発光素子40の画素電極41が電気的に接続している。

【0005】画素電極41は、図14および図15

(B)、(C)からわかるように各画素7毎に独立して形成されている。画素電極41の上層側には、有機半導

体膜43および対向電極opがこの順に積層されている。有機半導体膜43は画素7毎に形成されているが、複数の画素7に跨がってストライプ状に形成される場合もある。図13からわかるように、対向電極opは、画素7が構成されている表示部11だけでなく、透明基板10の略全面に形成されている。

【0006】再び、図14および図15(A)において、第2のTFT30のソース・ドレイン領域のもう一方には、第1の層間絶縁膜51のコンタクトホールを介して共通給電線comが電気的に接続している。共通給電線comの延設部分39は、第2のTFT30のゲート電極31の延設部分36に対して、第1の層間絶縁膜51を誘電体膜として挟んで対向し、保持容量capを構成している。

【0007】

【発明が解決しようとする課題】しかしながら、前記のアクティブマトリクス型表示装置1Aにおいて、画素電極41に対向する対向電極opは、液晶アクティブマトリクス型表示装置と相違して、同じ透明基板10上ににおいてデータ線sigとの間に第2の層間絶縁膜52しか有しないので、データ線sigには大きな容量が寄生し、データ線駆動回路3の負荷が大きい。

【0008】そこで、本願発明者は、図13、図14、および図16(A)、(B)、(C)に示すように、対向電極opとデータ線sigなどとの間に厚い絶縁膜(バンク層bank/左下がりの斜線を広いピッチで付した領域)を設け、データ線sigに寄生する容量を低減することを提案する。併せて、この絶縁膜(バンク層bank)で有機半導体膜43の形成領域を囲むことによって、インクジェットヘッドから吐出した液状の材料(吐出液)から有機半導体膜43を形成する際に吐出液をバンク層bankでせき止め、吐出液が側方にはみ出すことを防止することを提案する。しかし、かかる構造を採用すると、厚いバンク層bankの存在に起因して大きな段差bbが形成され、このバンク層bankの上層に形成される対向電極opが前記の段差bbの部分で断線しやすい。このような段差bbで対向電極opに断線が生じると、この部分の対向電極opは周囲の対向電極opから絶縁状態になって表示の点欠陥あるいは線欠陥を発生させる。また、データ側駆動回路3や走査側駆動回路4の表面を覆うバンク層bankの外周縁に沿って対向電極opに断線が起こると、表示部11の対向電極opと端子12との間が完全に絶縁状態になって表示が全くできなくなる。

【0009】そこで、本発明の課題は、有機半導体膜の周りに厚い絶縁膜を形成して寄生容量などを抑え、この厚い絶縁膜の上層に形成する対向電極に断線などが発生しないアクティブマトリクス型表示装置を提供することにある。

【0010】

【課題を解決するための手段】上記課題を解決するため、本発明では、基板上に、複数の走査線と、該走査線に交差する複数のデータ線と、該データ線と前記走査線とによってマトリクス状に形成された複数の画素からなる表示部とを有し、該画素の各々は、前記走査線を介して走査信号がゲート電極に供給されるTFTを含む導通制御回路と、画素毎に形成された画素電極、該画素電極の上層側に積層された発光薄膜、および該発光薄膜の上層側に形成された対向電極を具備する薄膜発光素子とを備え、前記データ線から前記導通制御回路を介して供給される画像信号に基づいて前記薄膜発光素子が発光する

アクティブマトリクス型表示装置において、前記有機半導体膜の形成領域は、前記対向電極の下層側に前記有機半導体膜よりも厚く形成された絶縁膜で区画されているとともに、該絶縁膜は、各画素毎の対向電極部分同士を当該絶縁膜に起因する段差のない平坦部分を介して接続させる途切れ部分を備えていることを特徴とする。

【0011】本発明において、対向電極表示部に形成され、データ線と対向する状態にあるため、このままではデータ線に対して大きな容量が寄生することになる。しかるに本発明では、データ線と対向電極との間に厚い絶縁膜を介在させたので、データ線に容量が寄生することを防止できる。その結果、データ線駆動回路の負荷を低減できるので、低消費電力化あるいは表示動作の高速化を図ることができる。また、厚い絶縁膜を形成すると、この絶縁膜は大きな段差を形成し、その上層側に形成される対向電極に断線が発生させるおそれがあるが、本発明では、厚い絶縁膜の所定の位置に途切れ部分を構成し、この部分を平坦にしてある。従って、各領域毎の対向電極は平坦部分に形成された部分を介して電気的に接続するので、たとえ、絶縁膜に起因する段差によってこの部分で断線しても、絶縁膜の途切れ部分に相当する平坦部分を介して確実に電気的に接続しているため、対向基板の断線という不具合が発生しない。それ故、アクティブマトリクス型表示装置において、有機半導体膜の周りに厚い絶縁膜を形成して寄生容量などを抑えたとしても、絶縁膜の上層に形成する対向電極に断線が発生しないので、アクティブマトリクス型表示装置の表示品質および信頼性を向上することができる。

【0012】本発明では、前記導通制御回路は、前記走査信号がゲート電極に供給される第1のTFT、および該第1のTFTを介してゲート電極が前記データ線に接続する第2のTFTを備え、該第2のTFTと前記薄膜発光素子は、前記データ線および走査線とは別に構成された駆動電流供給用の共通給電線と前記対向電極との間に直列に接続していることが好ましい。すなわち、導通制御回路を1つのTFTと保持容量で構成することも可能ではあるが、表示品位を高くするという観点からすれば各画素の導通制御回路を2つのTFTと保持容量で構成することが好ましい。

【0013】本発明において、前記絶縁膜は、当該絶縁膜で区画された領域内に前記発光薄膜をインクジェット法により形成する際に吐出液のはみ出しを防止するバンク層として利用することが好ましい。それには、前記絶縁膜は、膜厚が1 $\mu$ m以上であることが好ましい。

【0014】本発明においては、前記絶縁膜は、前記データ線および前記走査線に沿って前記発光薄膜の形成領域の周りを囲んでいる場合には、前記データ線の延設方向で隣り合う画素の間、前記走査線の延設方向で隣り合う画素の間、またはそれら双方の方向で隣り合う画素の間に相当する部分に前記途切れ部分を構成する。

【0015】上記の形態と違って、前記絶縁膜は前記データ線に沿ってストライプ状に延設される場合があり、この場合には、該延設方向の少なくとも一方の端部に前記途切れ部分を構成してもよい。

【0016】本発明において、前記画素電極の形成領域のうち、前記導通制御回路の形成領域と重なる領域は前記絶縁膜で覆われていることが好ましい。すなわち、前記画素電極の形成領域のうち、前記導通制御回路の形成されていない平坦部分のみで前記の厚い絶縁膜を開口し、この内側のみに有機半導体膜を形成することが好ましい。このように構成すると、有機半導体膜の膜厚ばらつきに起因する表示むらを防止できる。また、画素電極が形成されていても導通制御回路と重なる領域では、たとえ対向電極との間に駆動電流が流れて有機半導体膜が発光しても、この光は導通制御回路に遮られ、表示には寄与しない。かかる表示に寄与しない部分で有機半導体膜に流れる駆動電流は、表示という面からみて無効電流といえる。そこで、本発明では、従来ならこのような無効電流が流れるはずの部分に前記の厚い絶縁膜を形成し、そこに駆動電流が流れることを防止する。その結果、共通給電線に流れる電流が小さくすることができるので、その分、共通給電線の幅を狭くすれば、その結果として、発光面積を増すことができ、輝度、コントラスト比などの表示性能を向上させることができる。

【0017】本発明では、前記表示部の周囲には、前記データ線を介してデータ信号を供給するデータ線駆動回路、および前記走査線を介して走査信号を供給する走査線駆動回路を有し、該走査線駆動回路および前記データ線駆動回路の上層側にも前記絶縁膜が形成されているとともに、当該絶縁膜は、前記走査線駆動回路の形成領域と前記データ線駆動回路の形成領域との間に相当する位置には前記対向電極を前記表示部側と基板外周側とを当該絶縁膜に起因する段差のない平坦部分を介して接続させる途切れ部分を備えていることが好ましい。このように構成すると、データ線駆動回路や走査線駆動回路の表面を覆う絶縁膜の外周縁に沿って対向電極に断線が起きても、表示部側の対向電極と基板外周側の対向電極とは該絶縁膜に起因する段差のない平坦部分を介して接続し、表示部側の対向電極と基板外周側の対向電極との間

の電氣的接続を確保できる。

【0018】本発明において、前記絶縁膜をレジスト膜などの有機材料から構成した場合には厚い膜を容易に形成できる。これに対して、前記絶縁膜を無機材料から構成した場合には、発光薄膜と接触した状態にあっても、発光薄膜の変質を防止することができる。

【0019】

【発明の実施の形態】図面を参照して、本発明の実施の形態を説明する。なお、以下の説明において、図13ないし図16を説明した要素と共通する部分には同一の符号を付してある。

【0020】〔実施の形態1〕

（全体構成）図1は、アクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。図2は、それに構成されている画素の1つを抜き出して示す平面図、図3（A）、（B）、（C）はそれぞれ図2のA-A'断面図、B-B'断面図、およびC-C'断面図である。

【0021】図1に示すアクティブマトリクス型表示装置1では、その基体たる透明基板10の中央部分が表示部11とされている。透明基板10の外周部分のうち、データ線sigの端部には画像信号を出力するデータ側駆動回路3が構成され、走査線gateの端部には走査信号を出力する走査側駆動回路4が構成されている。これらの駆動回路3、4では、N型のTFTとP型のTFTとによって相補型TFTが構成され、この相補型TFTは、シフトレジスタ回路、レベルシフト回路、アナログスイッチ回路などを構成している。表示部11では、液晶アクティブマトリクス型表示装置のアクティブマトリクス基板と同様、透明基板10上に、複数の走査線gateと、該走査線gateの延設方向に対して交差する方向に延設された複数のデータ線sigと、データ線sigと走査線gateとによってマトリクス状に形成された複数の画素7とが構成されている。

【0022】各々の画素7には、走査線gateを介して走査信号が供給される導通制御回路50と、この導通制御回路50を介してデータ線sigから供給される画像信号に基づいて発光する薄膜発光素子40とが構成されている。ここに示す例においては、導通制御回路50は、走査線gateを介して走査信号がゲート電極に供給される第1のTFT20と、この第1のTFT20を介してデータ線sigから供給される画像信号を保持する保持容量capと、この保持容量capによって保持された画像信号がゲート電極に供給される第2のTFT30とから構成されている。第2のTFT30と薄膜発光素子40とは、詳しくは後述する対向電極opと共通給電線comとの間に直列に接続している。

【0023】このような構成のアクティブマトリクス型表示装置1では、図2および図3（A）、（B）に示すように、いずれの画素7においても、島状の半導体膜

（シリコン膜）を利用して第1のTFT20および第2のTFT30が形成されている。

【0024】第1のTFT20は、ゲート電極21が走査線gateの一部として構成されている。第1のTFT20は、ソース・ドレイン領域の一方に第1層間絶縁膜51のコンタクトホールを介してデータ線sigが電氣的に接続し、他方にはドレイン電極22が電氣的に接続している。ドレイン電極22は、第2のTFT30の形成領域に向けて延設されており、この延設部分には第2のTFT30のゲート電極31が第1の層間絶縁膜51のコンタクトホールを介して電氣的に接続している。

【0025】第2のTFT30のソース・ドレイン領域の一方には、第1の層間絶縁膜51のコンタクトホールを介して、データ線sigと同時に形成された中継電極35が電氣的に接続し、この中継電極35には第2の層間絶縁膜52のコンタクトホールを介して薄膜発光素子40のITO膜からなる透明な画素電極41が電氣的に接続している。

【0026】図2および図3（B）、（C）からわかるように、画素電極41は各画素7毎に独立して形成されている。画素電極41の上層側には、発光薄膜としてポリフェニレンビニレン（PPV）などのからなる有機半導体膜43、およびリチウム含有アルミニウム、カルシウムなどの金属膜からなる対向電極opがこの順に積層され、薄膜発光素子40が構成されている。有機半導体膜43は各画素7に形成されているが、複数の画素7に跨がってストライプ状に形成される場合もある。対向電極opは、表示部11全体と、透明基板10の端子12が形成されている部分の周囲を除いた領域とに形成されている。この端子12は、対向電極opと同時に形成された配線（図示せず。）に接続する対向電極opの端子を含んでいる。

【0027】なお、薄膜発光素子40としては、正孔注入層を設けて発光効率（正孔注入率）を高めた構造、電子注入層を設けて発光効率（電子注入率）を高めた構造、正孔注入層および電子注入層の双方を形成した構造を採用することもできる。

【0028】再び、図2および図3（A）において、第2のTFT30のソース・ドレイン領域のもう一方には、第1の層間絶縁膜51のコンタクトホールを介して共通給電線comが電氣的に接続している。共通給電線comの延設部分39は、第2のTFT30のゲート電極31の延設部分36に対して、第1の層間絶縁膜51を誘電体膜として挟んで対向し、保持容量capを構成している。

【0029】このようにアクティブマトリクス型表示装置1において、走査信号によって選択されて第1のTFT20がオン状態になると、データ線sigからの画像信号が第1のTFT20を介して第2のTFT30のゲート電極31に印加されるとともに、画像信号が第1の



TFT20を介して保持容量capに書き込まれる。その結果、第2のTFT30がオン状態になると、対向電極opおよび画素電極41をそれぞれ負極および正極として電圧が印加され、印加電圧がしきい値電圧を越えた領域で有機半導体膜43に流れる電流（駆動電流）が急激に増大する。従って、発光素子40は、エレクトロルミネッセンス素子あるいはLED素子として発光し、発光素子40の光は、対向電極opに反射されて透明な画素電極41および透明基板10を透過して出射される。このような発光を行うための駆動電流は、対向電極op、有機半導体膜43、画素電極41、第2のTFT30、および共通給電線comから構成される電流経路を流れるため、第2のTFT30がオフ状態になると、流れなくなる。但し、第2のTFT30のゲート電極は、第1のTFT20がオフ状態になっても、保持容量capによって画像信号に相当する電位に保持されるので、第2のTFT30はオン状態のままである。それ故、発光素子40には駆動電流が流れ続け、この画素は点灯状態のままである。この状態は、新たな画像データが保持容量capに書き込まれて、第2のTFT30がオフ状態になるまで維持される。

【0030】（バンク層の構造）このように構成したアクティブマトリクス型表示装置1において、本形態では、データ線sigには大きな容量が寄生することを防止するため、図1、図2、および図3（A）、（B）、（C）に示すように、データ線sigおよび走査線gateに沿って、レジスト膜、あるいはポリイミド膜からなる厚い絶縁膜（バンク層bank／左下がりの斜線を広いピッチで付した領域）を設け、このバンク層bankの上層側に対向電極opを形成してある。このため、データ線sigと対向電極opとの間には、第2の層間絶縁膜52と厚いバンク層bankが介在しているの

で、データ線sigに寄生する容量が極めて小さい。それ故、駆動回路3、4の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

【0031】また、図1に示すように、透明基板10の周辺領域（表示部11の外側領域）にもバンク層bank（形成領域に斜線を付してある。）を形成する。従って、データ側駆動回路3および走査側駆動回路4はいずれも、バンク層bankによって覆われている。対向電極opは、少なくとも表示部11に形成される必要があり、駆動回路領域に形成する必要はない。しかし、対向電極opは、通常、マスクスパッタ法で形成されるため、合わせ精度が悪く、対向電極opと駆動回路とが重なることがある。しかるに本形態では、これらの駆動回路の形成領域に対して対向電極opが重なる状態にあっても、駆動回路の配線層と対向電極opとの間にバンク層bankが介在することになる。それ故、駆動回路3、4に容量が寄生することを防止できるため、駆動回路3、4の負荷を低減でき、低消費電力化あるいは表示

動作の高速化を図ることができる。

【0032】さらに、本形態では、画素電極41の形成領域のうち、導通制御回路50の中継電極35と重なる領域にもバンク層bankが形成されている。このため、中継電極35と重なる領域には有機半導体膜43が形成されない。すなわち、画素電極41の形成領域のうち、平坦な部分のみに有機半導体膜43が形成されるので、有機半導体膜43は一定の膜厚で形成され、表示むらを起こさない。また、中継電極35と重なる領域にバンク層bankがないと、この部分でも対向電極opとの間に駆動電流が流れて有機半導体膜43が発光する。しかし、この光は中継電極35と対向電極opとの間に挟まれて外に出射されず、表示に寄与しない。かかる表示に寄与しない部分で流れる駆動電流は、表示という面からみて無効電流といえる。しかるに本形態では、従来ならこのような無効電流が流れるはずの部分にバンク層bankを形成し、そこに駆動電流が流れることを防止するので、共通給電線comに無駄な電流が流れることが防止できる。それ故、共通給電線comの幅はその分、狭くてよい。その結果として、発光面積を増すことができ、輝度、コントラスト比などの表示性能を向上させることができる。

【0033】さらにまた、本形態では、データ線sigおよび走査線gateに沿ってバンク層bankを形成してあるため、いずれの画素7も厚いバンク層bankで囲まれている。このため、このままでは、各画素7の対向電極opはバンク層bankを乗り越えて隣接する画素7の対向電極opと接続することになる。しかるに本形態では、バンク層bankには、データ線sigの延設方向で隣り合う画素7の間に相当する部分に途切れ部分offが形成されている。また、バンク層bankには、走査線gateの延設方向で隣り合う画素7の間に相当する部分にも途切れ部分offが形成されている。さらに、バンク層bankには、データ線sigおよび走査線gateの各延設方向の端部のそれぞれに途切れ部分offが形成されている。

【0034】このような途切れ部分offは厚いバンク層bankがないので、バンク層bankに起因する大きな段差のない平坦部分であり、この部分に形成されている対向電極opは断線することがない。従って、各画素7の対向電極7は、バンク層bankに起因する段差のない平坦部分を介して確実に接続していることになる。それ故、画素7の周りに厚い絶縁膜（バンク層bank）を形成して寄生容量などを抑えても、この厚い絶縁膜（バンク層bank）の上層に形成する対向電極opに断線が発生しない。

【0035】しかも、走査側駆動回路4およびデータ側駆動回路3の上層側に形成されたバンク層bankは、走査側駆動回路4の形成領域とデータ側駆動回路3の形成領域との間に相当する位置に途切れ部分offが形成

されている。このため、表示部11の側の対向電極opと基板外周側の対向電極opとは、バンク層bankの途切れ部分offを介して接続し、この途切れ部分offもバンク層bankに起因する段差のない平坦部分である。従って、この途切れ部分offに形成されている対向電極opは断線することがないので、表示部11の側の対向電極opと基板外周側の対向電極opとは、バンク層bankの途切れ部分offを介して確実に接続し、この基板外周側の対向電極opに配線接続されている端子12と表示部11の対向電極opとは確実に接続している。

【0036】なお、バンク層bankを黒色のレジストによって形成すると、バンク層bankはブラックマトリクスとして機能し、コントラスト比などの表示の品位が向上する。すなわち、本形態に係るアクティブマトリクス型表示装置1では、対向電極opが透明基板10の表面側において画素7の全面に形成されるため、対向電極opでの反射光がコントラスト比を低下させる。しかるに寄生容量を防止する機能を担うバンク層bankを黒色のレジストで構成すると、バンク層bankはブラ

ックマトリクスとしても機能し、対向電極opからの反射光を遮るので、コントラスト比が向上する。

【0037】（アクティブマトリクス型表示装置の製造方法）このように形成したバンク層bankは、有機半導体膜43の形成領域を囲むように構成されているので、アクティブマトリクス型表示装置の製造工程では、インクジェットヘッドから吐出した液状の材料（吐出液）から有機半導体膜43を形成する際に吐出液をせき止め、吐出液が側方にはみ出すことを防止する。なお、以下に説明するアクティブマトリクス型表示装置1の製造方法において、透明基板10上に第1のTFT20および第2のTFT30を製造するまでの工程は、液晶アクティブマトリクス型表示装置1のアクティブマトリクス基板を製造する工程と略同様であるため、図3

(A)、(B)、(C)を参照してその概略を簡単に説明する。

【0038】まず、透明基板10に対して、必要に応じて、TEOS（テトラエトキシシラン）や酸素ガスなどを原料ガスとしてプラズマCVD法により厚さが約2000～5000オングストロームのシリコン酸化膜からなる下地保護膜（図示せず。）を形成した後、下地保護膜の表面にプラズマCVD法により厚さが約300～700オングストロームのアモルファスのシリコン膜からなる半導体膜を形成する。次にアモルファスのシリコン膜からなる半導体膜に対して、レーザアニールまたは固相成長法などの結晶化工程を行い、半導体膜をポリシリコン膜に結晶化する。

【0039】次に、半導体膜をパターニングして島状の半導体膜とし、その表面に対して、TEOS（テトラエトキシシラン）や酸素ガスなどを原料ガスとしてプラズ

マCVD法により厚さが約600～1500オングストロームのシリコン酸化膜または窒化膜からなるゲート絶縁膜57を形成する。

【0040】次に、アルミニウム、タンタル、モリブデン、チタン、タングステンなどの金属膜からなる導電膜をスパッタ法により形成した後、パターニングし、ゲート電極21、31、およびゲート電極31の延設部分36を形成する（ゲート電極形成工程）。この工程では走査線gateも形成する。

【0041】この状態で、高濃度のリンイオンを打ち込んで、ゲート電極21、31に対して自己整合的にソース・ドレイン領域を形成する。なお、不純物が導入されなかった部分がチャネル領域となる。

【0042】次に、第1の層間絶縁膜51を形成した後、各コンタクトホールを形成し、次に、データ線sig、ドレイン電極22、共通給電線com、共通給電線comの延設部分39、および中継電極35を形成する。その結果、第1のTFT20、第2のTFT30、および保持容量capが形成される。

【0043】次に、第2の層間絶縁膜52を形成し、この層間絶縁膜には、中継電極35に相当する部分にコンタクトホール形成する。次に、第2の層間絶縁膜52の表面全体にITO膜を形成した後、パターニングし、コンタクトホールを介して第2のTFT30のソース・ドレイン領域に電気的に接続する画素電極41を画素7毎に形成する。

【0044】次に、第2の層間絶縁膜52の表面側にレジスト層を形成した後、このレジストを走査線gateおよびデータ線sigに沿って残すようにパターニングし、バンク層bankを形成する。また、バンク層bankの所定部分には途切れ部分offを形成しておく。このとき、データ線sigに沿って残すレジスト部分は共通給電線comを覆うように幅広とする。その結果、発光素子40の有機半導体膜43を形成すべき領域はバンク層bankに囲まれる。

【0045】次に、バンク層bankでマトリクス状に区画された領域内にインクジェット法を利用してR、G、Bに対応する各有機半導体膜43を形成していく。それには、バンク層bankの内側領域に対してインクジェットヘッドから、有機半導体膜43を構成するための液状の材料（前駆体）を吐出し、それをバンク層bankの内側領域で定着させて有機半導体膜43を形成する。ここで、バンク層bankはレジストから構成されているため、撥水性である。これに対して、有機半導体膜43の前駆体は親水性の溶媒を用いているため、たとえ有機半導体膜43の形成領域を区画するバンク層bankに途切れ部分offがあったとしても、かかる途切れ部分offは狭いので、有機半導体膜43の塗布領域はバンク層bankによって確実に規定され、隣接する画素7にはみ出ることがない。それ故、有機半導体膜4

3などを所定領域内だけに形成できる。この工程において、インクジェットヘッドから吐出した前駆体は表面張力の影響で約 $2\mu\text{m}$ ないし約 $4\mu\text{m}$ の厚さに盛り上がるため、バンク層bankは約 $1\mu\text{m}$ ないし約 $3\mu\text{m}$ の厚さが必要である。なお、定着した後の有機半導体膜43の厚さは約 $0.05\mu\text{m}$ から約 $0.2\mu\text{m}$ である。なお、予めバンク層bankからなる隔壁が $1\mu\text{m}$ 以上の高さであれば、バンク層bankが撥水性でなくても、バンク層bankは隔壁として十分に機能する。かかる厚いバンク層bankを形成しておけば、インクジェット法に代えて、塗布法で有機半導体膜43を形成する場合でもその形成領域を規定できる。

【0046】しかる後には、透明基板10の略全面に対向電極opを形成する。

【0047】このような製造方法によれば、インクジェット法を利用して所定の領域にR、G、Bに対応する各有機半導体膜43を形成していけるので、フルカラーのアクティブマトリクス型表示装置1を高い生産性で製造できる。

【0048】なお、図1に示すデータ側駆動回路3や走査側駆動回路4にもTFTが形成されるが、これらのTFTは前記の画素7にTFTを形成していく工程の全部あるいは一部を援用して行われる。それ故、駆動回路を構成するTFTも、画素7のTFTと同一の層間に形成されることになる。また、前記第1のTFT20、および第2のTFT30については、双方がN型、双方がP型、一方がN型で他方がP型のいずれでもよいが、このようないずれの組合せであっても周知の方法でTFTを形成していけるので、その説明を省略する。

【0049】〔実施の形態1の変形例1〕図4は、アクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。図5は、それに構成されている画素の1つを抜き出して示す平面図、図6(A)、(B)、(C)はそれぞれ図5のA-A'断面図、B-B'断面図、およびC-C'断面図である。なお、本形態と実施の形態1とは基本的な構成が同一なので、共通する部分には同一の符号を各図に付してそれらの詳細な説明を省略する。

【0050】図4、図5、および図6(A)、(B)、(C)に示すように、本形態のアクティブマトリクス型表示装置1でも、データ線sigおよび走査線gateに沿って、レジスト膜からなる厚い絶縁膜(バンク層bank/左下がりの斜線を広いピッチで付した領域)を設け、このバンク層bankの上層側に対向電極opを形成してある。このため、データ線sigと対向電極opとの間には、第2の層間絶縁膜52と厚いバンク層bankが介在しているので、データ線sigに寄生する容量が極めて小さい。それ故、駆動回路3、4の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

【0051】また、透明基板10の周辺領域(表示部11の外側領域)にもバンク層bank(形成領域に斜線を付してある。)を形成する。従って、データ側駆動回路3および走査側駆動回路4はいずれも、バンク層bankによって覆われている。このため、これらの駆動回路の形成領域に対して対向電極opが重なる状態にあっても、駆動回路の配線層と対向電極opとの間にバンク層bankが介在することになる。それ故、駆動回路3、4に容量が寄生することを防止できるため、駆動回路3、4の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

【0052】さらに、本形態では、画素電極41の形成領域のうち、導通制御回路50の中継電極35と重なる領域にもバンク層bankが形成されているため、無駄な無効電流が流れることを防止できる。それ故、共通給電線comの幅はその分、狭くてよい。

【0053】さらにまた、本形態では、データ線sigおよび走査線gateに沿ってバンク層bankを形成してあるため、いずれの画素7もバンク層bankで囲まれている。このため、インクジェット法を利用して所定の領域にR、G、Bに対応する各有機半導体膜43を形成していけるので、フルカラーのアクティブマトリクス型表示装置1を高い生産性で製造できる。

【0054】しかも、バンク層bankには、走査線gateの延設方向で隣り合う画素7の間に相当する部分に途切れ部分offが形成されている。また、バンク層bankには、データ線sigおよび走査線gateの各延設方向の端部のそれぞれにも途切れ部分offが形成されている。さらに、走査側駆動回路4およびデータ側駆動回路3の上層側に形成されたバンク層bankは、走査側駆動回路4の形成領域とデータ側駆動回路3の形成領域との間に相当する位置に途切れ部分offが形成されている。従って、対向電極opは、バンク層bankに起因する段差のない平坦部分(途切れ部分off)を介して確実に接続し、断線することがない。

【0055】〔実施の形態1の変形例2〕図7は、アクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。図8は、それに構成されている画素の1つを抜き出して示す平面図、図9(A)、(B)、(C)はそれぞれ図8のA-A'断面図、B-B'断面図、およびC-C'断面図である。なお、本形態と実施の形態1とは基本的な構成が同一なので、共通する部分には同一の符号を各図に付してそれらの詳細な説明を省略する。

【0056】図7、図8、および図9(A)、(B)、(C)に示すように、本形態のアクティブマトリクス型表示装置1でも、データ線sigおよび走査線gateに沿って、レジスト膜からなる厚い絶縁膜(バンク層bank/左下がりの斜線を広いピッチで付した領域)を設け、このバンク層bankの上層側に対向電極opを

形成してある。このため、データ線 *sig* と対向電極 *op* との間には、第2の層間絶縁膜52と厚いバンク層 *bank* が介在しているので、データ線 *sig* に寄生する容量が極めて小さい。それ故、駆動回路3、4の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

【0057】また、透明基板10の周辺領域（表示部11の外側領域）にもバンク層 *bank*（形成領域に斜線を付してある。）を形成する。従って、データ側駆動回路3および走査側駆動回路4はいずれも、バンク層 *bank* によって覆われている。このため、これらの駆動回路の形成領域に対して対向電極 *op* が重なる状態にあっても、駆動回路の配線層と対向電極 *op* との間にバンク層 *bank* が介在することになる。それ故、駆動回路3、4に容量が寄生することを防止できるため、駆動回路3、4の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

【0058】さらに、本形態では、画素電極41の形成領域のうち、導通制御回路50の中継電極35と重なる領域にもバンク層 *bank* が形成されているため、無駄な無効電流が流れることを防止できる。それ故、共通給電線 *com* の幅はその分、狭くてよい。

【0059】さらにまた、本形態では、データ線 *sig* および走査線 *gate* に沿ってバンク層 *bank* を形成してあるため、いずれの画素7もバンク層 *bank* で囲まれている。このため、インクジェット法を利用して所定の領域にR、G、Bに対応する各有機半導体膜43を形成していけるので、フルカラーのアクティブマトリクス型表示装置1を高い生産性で製造できる。

【0060】しかも、バンク層 *bank* には、データ線 *sig* の延設方向で隣り合う画素7の間に相当する部分に途切れ部分 *off* が形成されている。また、バンク層 *bank* には、データ線 *sig* および走査線 *gate* の各延設方向の端部のそれぞれにも途切れ部分 *off* が形成されている。さらに、走査側駆動回路4およびデータ側駆動回路3の上層側に形成されたバンク層 *bank* は、走査側駆動回路4の形成領域とデータ側駆動回路3の形成領域との間に相当する位置に途切れ部分 *off* が形成されている。従って、対向電極 *op* は、バンク層 *bank* に起因する段差のない平坦部分（途切れ部分 *off*）を介して確実に接続し、断線することがない。

【0061】〔実施の形態2〕図10は、アクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。図11は、それに構成されている画素の1つを抜き出して示す平面図、図12（A）、

（B）、（C）はそれぞれ図11のA-A'断面図、B-B'断面図、およびC-C'断面図である。なお、本形態と実施の形態1とは基本的な構成が同一なので、共通する部分には同一の符号を各図に付してそれらの詳細な説明を省略する。

【0062】図10、図11、および図12（A）、（B）、（C）に示すように、本形態のアクティブマトリクス型表示装置1では、データ線 *sig* に沿って、レジスト膜からなる厚い絶縁膜（バンク層 *bank* / 左下がりの斜線を広いピッチで付した領域）がストライプ状に形成され、このバンク層 *bank* の上層側に対向電極 *op* を形成してある。このため、データ線 *sig* と対向電極 *op* との間には、第2の層間絶縁膜52と厚いバンク層 *bank* が介在しているので、データ線 *sig* に寄生する容量が極めて小さい。それ故、駆動回路3、4の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

【0063】また、透明基板10の周辺領域（表示部11の外側領域）にもバンク層 *bank*（形成領域に斜線を付してある。）が形成されている。従って、データ側駆動回路3および走査側駆動回路4はいずれも、バンク層 *bank* によって覆われているため、これらの駆動回路の形成領域に対して対向電極 *op* が重なる状態にあっても、駆動回路の配線層と対向電極 *op* との間にバンク層 *bank* が介在することになる。それ故、駆動回路3、4に容量が寄生することを防止できるため、駆動回路3、4の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

【0064】さらに、本形態では、データ線 *sig* に沿ってバンク層 *bank* を形成してあるため、バンク層 *bank* でストライプ状に区画された領域内にインクジェット法を利用してR、G、Bに対応する各有機半導体膜43をストライプ状に形成していけるので、フルカラーのアクティブマトリクス型表示装置1を高い生産性で製造できる。

【0065】しかも、バンク層 *bank* には、データ線 *sig* の延設方向の端部に途切れ部分 *off* が形成されている。従って、各画素7の対向電極 *op* は、走査線 *gate* の延設方向では、隣接する画素7の対向電極 *op* に対して厚いバンク層 *bank* を乗り越えて接続している。それでも、データ線 *sig* の延設方向を辿っていくと、各画素7の対向電極 *op* は、データ線 *sig* の端部で途切れ部分 *off*（バンク層 *bank* に起因する段差のない平坦部分）を介して、走査線 *gate* の延設方向で隣接する画素7の列と接続している。それ故、各画素7の対向電極 *op* は、バンク層 *bank* に起因する段差のない平坦部分を介して他の画素7の対向電極 *op* に接続しているといえ、いずれの画素7の対向電極 *op* も断線状態になることはない。

【0066】〔その他の実施の形態〕なお、バンク層 *bank*（絶縁膜）についてはレジスト膜、ポリイミド膜などの有機材料から構成した場合には厚い膜を容易に形成できるが、バンク層 *bank*（絶縁膜）をCVD法あるいはSOG法で成膜したシリコン酸化膜あるいはシリコン窒化膜などの無機材料から構成した場合には、有機

半導体膜 43 と接触した状態にあっても有機半導体膜 43 の変質を防止することができる。

【0067】また、保持容量 *cap* については共通給電線 *com* との間に形成した構造の他、走査線 *gate* と並列に形成した容量線との間に形成してもよい。

【0068】

【発明の効果】以上説明したように、本発明に係るアクティブマトリクス型表示装置では、データ線と対向電極との間に厚い絶縁膜を介在させたので、データ線に容量が寄生することを防止できる。それ故、データ線駆動回路の負荷を低減できるので、低消費電力化あるいは表示動作の高速化を図ることができる。また、厚い絶縁膜の所定の位置に途切れ部分を構成し、この部分を平坦にしてある。従って、各領域毎の対向電極は平坦部分に形成された部分を介して電氣的に接続するので、たとえ、絶縁膜に起因する段差によってこの部分で断線しても、絶縁膜の途切れ部分に相当する平坦部分を介して確実に電氣的に接続している。よって、有機半導体膜等の発光薄膜の周りに厚い絶縁膜を形成して寄生容量などを抑えたとしても、絶縁膜の上層に形成する対向電極に断線が発生しないので、アクティブマトリクス型表示装置の表示品質および信頼性を向上することができる。

【図面の簡単な説明】

【図 1】本発明の実施の形態 1 に係るアクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。

【図 2】図 1 に示すアクティブマトリクス型表示装置に構成されている画素の 1 つを抜き出して示す平面図である。

【図 3】(A)、(B)、(C) はそれぞれ図 2 の A-A' 断面図、B-B' 断面図、および C-C' 断面図である。

【図 4】本発明の実施の形態 1 の変形例 1 に係るアクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。

【図 5】図 4 に示すアクティブマトリクス型表示装置に構成されている画素の 1 つを抜き出して示す平面図である。

【図 6】(A)、(B)、(C) はそれぞれ図 5 の A-A' 断面図、B-B' 断面図、および C-C' 断面図である。

【図 7】本発明の実施の形態 1 の変形例 2 に係るアクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。

【図 8】図 7 に示すアクティブマトリクス型表示装置に構成されている画素の 1 つを抜き出して示す平面図である。

【図 9】(A)、(B)、(C) はそれぞれ図 8 の A-A' 断面図、B-B' 断面図、および C-C' 断面図である。

【図 10】本発明の実施の形態 2 に係るアクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。

【図 11】図 10 に示すアクティブマトリクス型表示装置に構成されている画素の 1 つを抜き出して示す平面図である。

【図 12】(A)、(B)、(C) はそれぞれ図 11 の A-A' 断面図、B-B' 断面図、および C-C' 断面図である。

【図 13】従来および本発明の比較例に係るアクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。

【図 14】図 13 に示すアクティブマトリクス型表示装置に構成されている画素の 1 つを抜き出して示す平面図である。

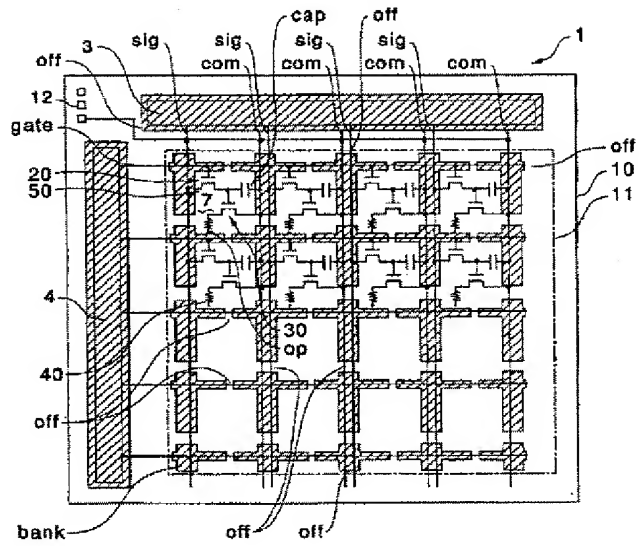
【図 15】(A)、(B)、(C) はそれぞれ図 14 の A-A' 断面図、B-B' 断面図、および C-C' 断面図である。

【図 16】(A)、(B)、(C) はそれぞれ図 14 の別の A-A' 断面図、B-B' 断面図、および C-C' 断面図である。

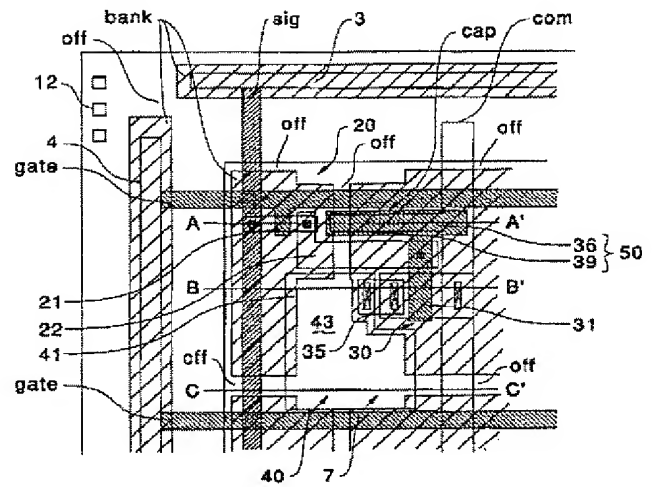
【符号の説明】

1	アクティブマトリクス型表示装置
2	表示部
3	データ側駆動回路
4	走査側駆動回路
7	画素
10	透明基板
12	端子
20	第 1 の TFT
21	第 1 の TFT のゲート電極
30	第 2 の TFT
31	第 2 の TFT のゲート電極
40	発光素子
41	画素電極
43	有機半導体
bank	バンク層 (絶縁膜)
cap	保持容量
com	共通給電線
gate	走査線
op	対向電極
sig	データ線
off	バンク層の途切れ部分

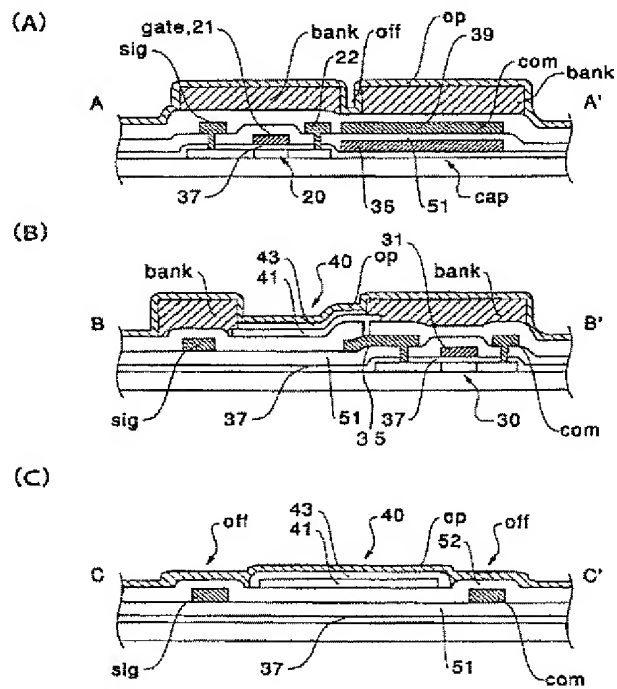
【図 1】



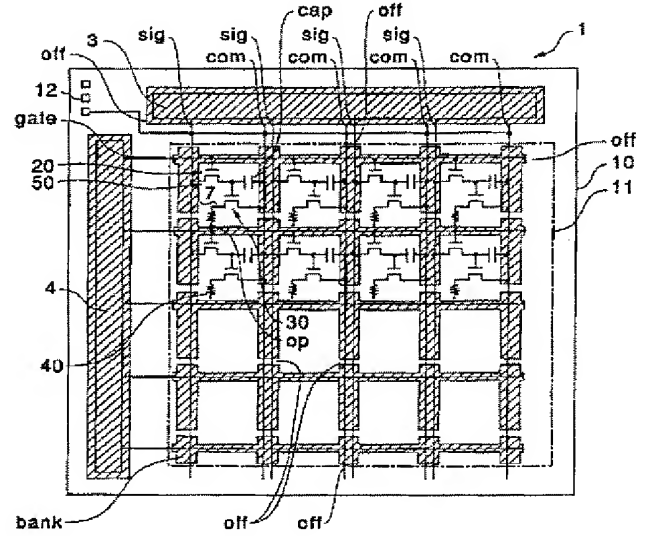
【図 2】



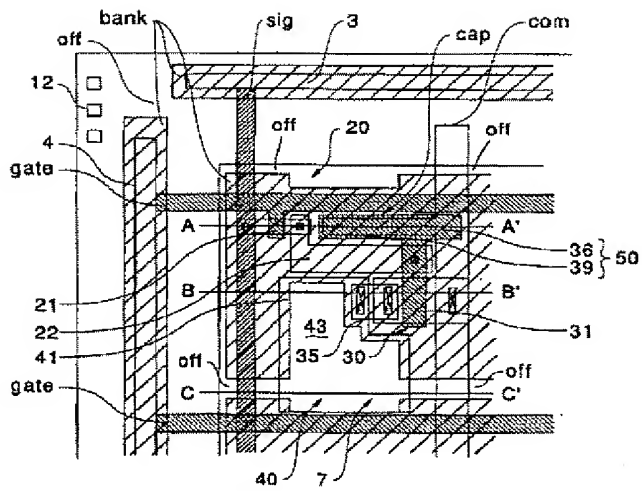
【図 3】



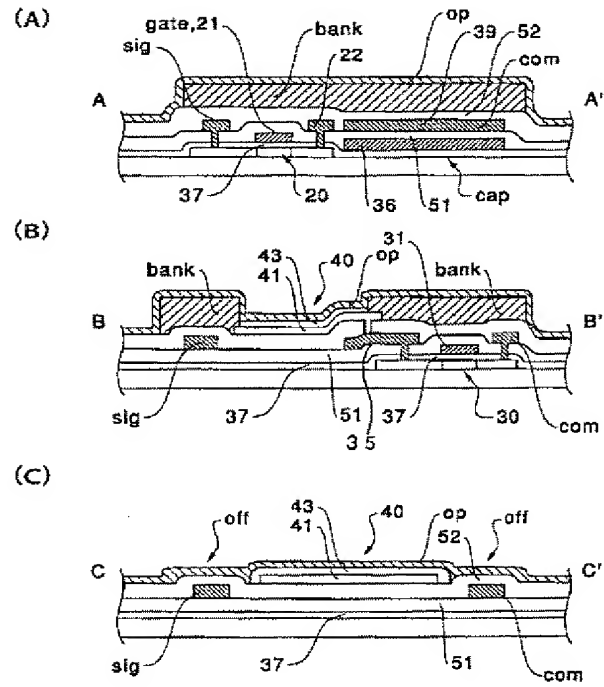
【図 4】



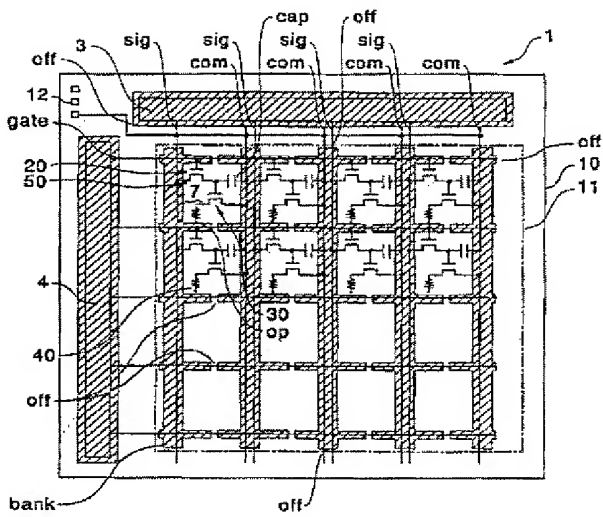
【図 5】



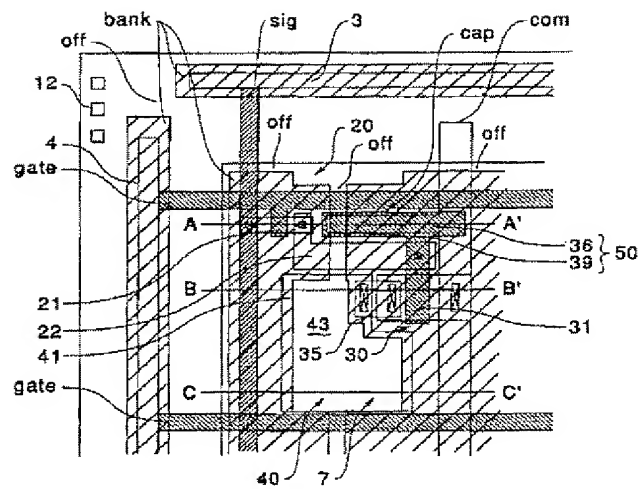
【図 6】



【図 7】

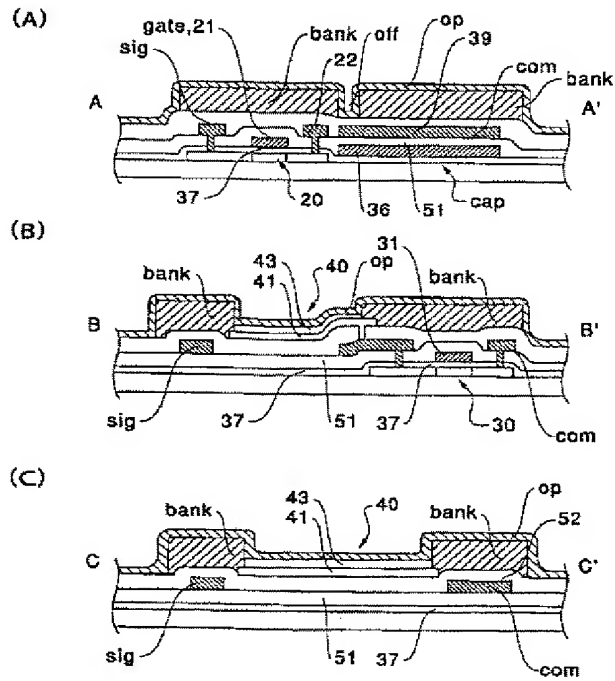


【図 8】

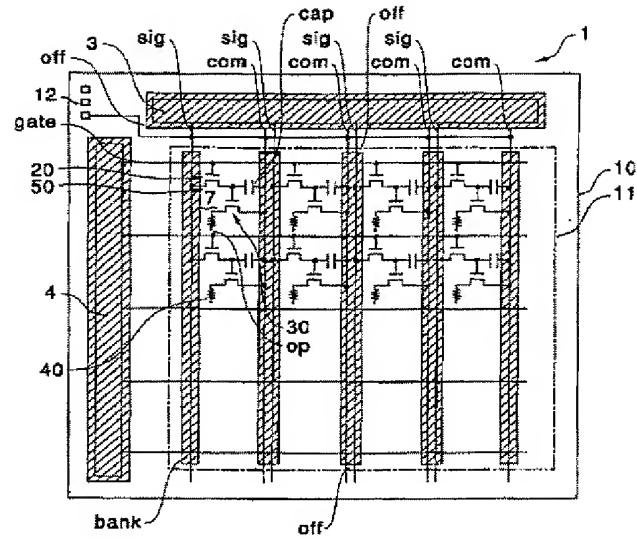




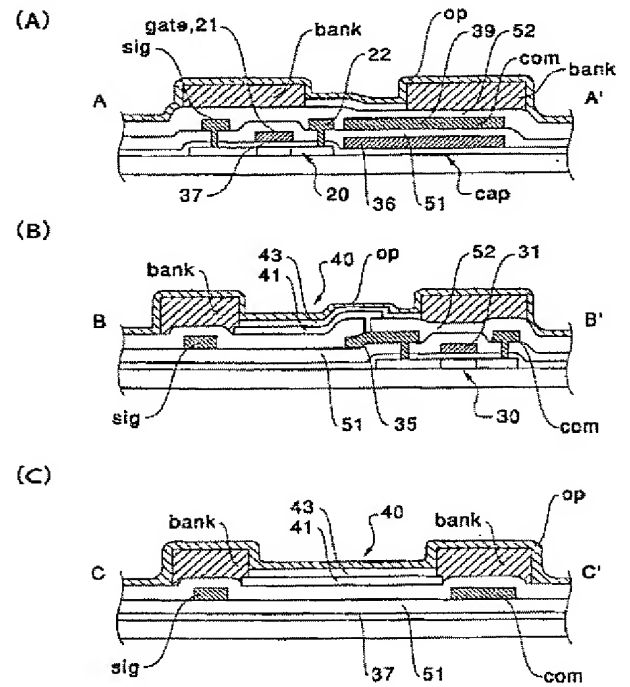
【図 9】



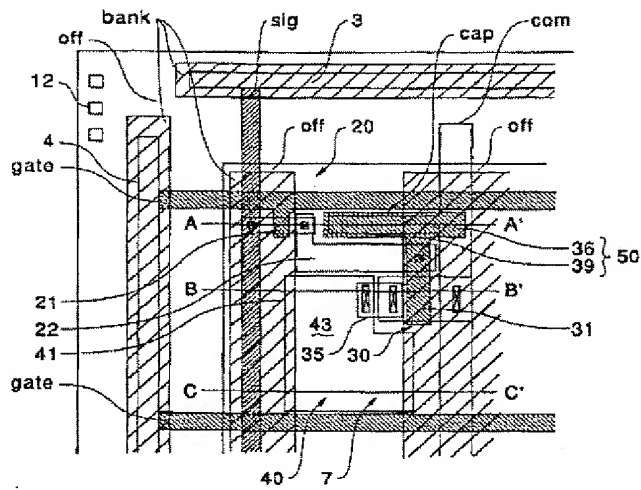
【図 10】



【図 12】

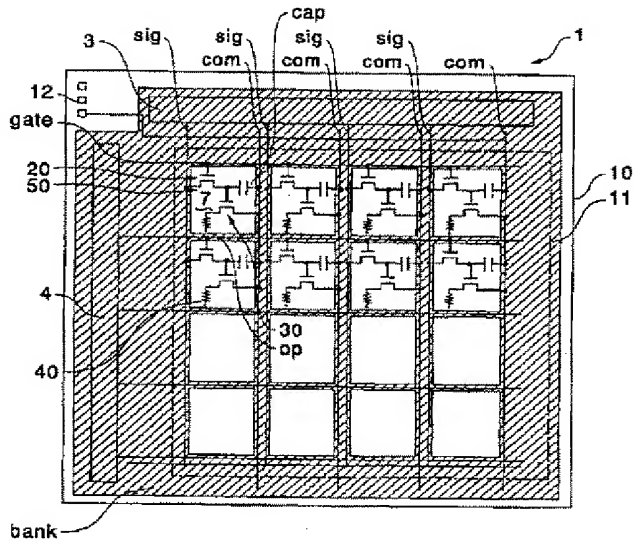


【図 11】

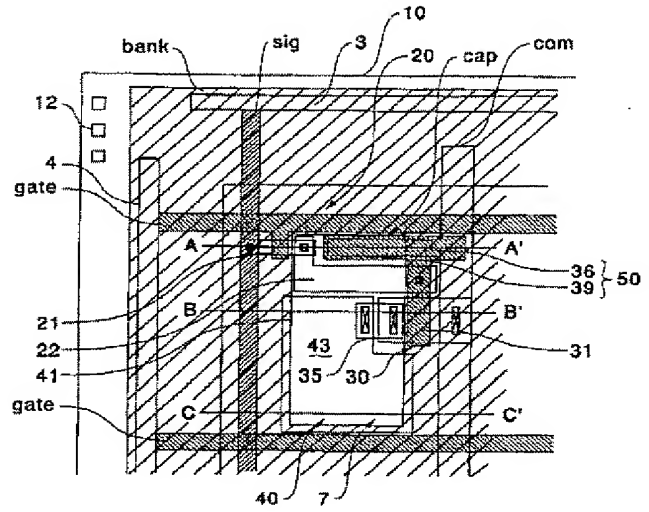




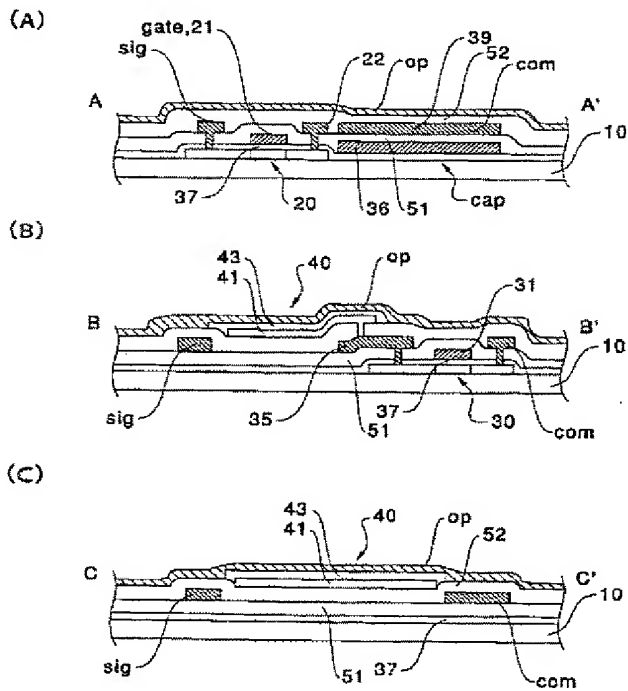
【図 13】



【図 14】



【図 15】



【図 16】

